

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application 2002年 2月12日

出 願 番 号

Application Number: 特願2002-034496

[ST.10/C]:

[JP2002-034496]

出 願 人

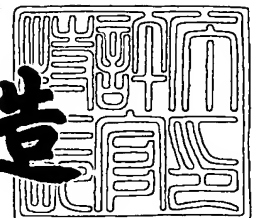
Applicant(s):

イノテック株式会社

2002年 4月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3023783

【書類名】 特許願

【整理番号】 ITC-57

【提出日】 平成14年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14
H04N 5/335

【発明の名称】 可変利得アンプ、固体撮像装置及び光信号読み出し方法

【請求項の数】 17

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜3丁目17番6号 イノテック株式会社内

 【氏名】 三井田 ▲高▼

【特許出願人】

 【識別番号】 593102345

 【氏名又は名称】 イノテック株式会社

【代理人】

 【識別番号】 100091672

 【弁理士】

 【氏名又は名称】 岡本 啓三

 【電話番号】 03-3663-2663

【先の出願に基づく優先権主張】

 【出願番号】 特願2001- 41394

 【出願日】 平成13年 2月19日

【手数料の表示】

 【予納台帳番号】 013701

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0005447

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変利得アンプ、固体撮像装置及び光信号読み出し方法

【特許請求の範囲】

【請求項 1】 第 1 の信号電圧と第 2 の信号電圧とを逐次入力する可変利得アンプの入力端子と、

前記第 1 の信号電圧と第 2 の信号電圧との差信号を出力する可変利得アンプの出力端子と、

参照電圧が入力される正入力端子、前記可変利得アンプの入力端子と信号経路を介して接続される負入力端子及び前記可変利得アンプの出力端子と接続される出力端子を有する演算増幅器と、

前記可変利得アンプの入力端子から前記演算増幅器の負入力端子に至る信号経路に設けられ、一端が前記信号経路を介して前記可変利得アンプの入力端子と接続され、他端が前記信号経路を介して前記演算増幅器の負入力端子と接続される入力容量と、

前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間に設けられた容量値可変の帰還容量と、

前記可変利得アンプの入力端子から前記入力容量の一端に至る信号経路を接続し、或いは開放する第 1 のスイッチ素子と、

前記入力容量の一端への前記参照電圧の入力端子を接続し、或いは開放する第 2 のスイッチ素子と、

前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間を接続し、或いは開放する第 3 のスイッチ素子とを有してなることを特徴とする可変利得アンプ。

【請求項 2】 前記帰還容量は、複数の容量素子からなり、1 以上のスイッチ素子により前記複数の容量素子のうちから前記帰還容量の容量値の設定に必要な容量素子を選択可能としたことを特徴とする請求項 1 記載の可変利得アンプ。

【請求項 3】 第 1 の信号電圧と第 2 の信号電圧との差信号を出力する可変利得アンプであって、

前記第 1 の信号電圧と前記第 2 の信号電圧とを逐次入力し、前記第 1 の信号電

圧及び前記第 2 の信号電圧を電荷に変換して前記第 1 の信号電圧と第 2 の信号電圧との差信号を生成し、該差信号の大きさに応じて利得調整して、出力レベルが調整された差信号を出力することを特徴とする可変利得アンプ。

【請求項 4】 光信号を電気信号に変換し、さらにデジタル信号に変換して出力する固体撮像装置において、

前記光信号を電気信号に変換し出力する、行と列に配列された複数の光電変換素子と、

前記光信号を電気信号に変換した第 1 の信号電圧と前記光電変換素子を初期化したときの第 2 の信号電圧とを逐次入力する可変利得アンプの入力端子と、前記第 1 の信号電圧と前記第 2 信号電圧との差信号を出力する可変利得アンプの出力端子と、参照電圧が入力される正入力端子、前記可変利得アンプの入力端子と信号経路を介して接続される負入力端子及び前記可変利得アンプの出力端子と接続される出力端子を有する演算増幅器と、前記可変利得アンプの入力端子から前記演算増幅器の負入力端子に至る信号経路に設けられ、一端が前記信号経路を介して前記可変利得アンプの入力端子と接続され、他端が前記信号経路を介して前記演算増幅器の負入力端子と接続される入力容量と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間に設けられた容量値可変の帰還容量と、前記可変利得アンプの入力端子から前記入力容量の一端に至る信号経路を接続し、或いは開放する第 1 のスイッチ素子と、前記入力容量の一端への前記参照電圧の入力端子を接続し、或いは開放する第 2 のスイッチ素子と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間を接続し、或いは開放する第 3 のスイッチ素子とを有し、出力レベルが調整された差信号を出力する前記列毎に設けられた可変利得アンプと、

前記可変利得アンプから出力された差信号をデジタル信号に変換するアナログ／デジタル変換回路とを有してなることを特徴とする固体撮像装置。

【請求項 5】 前記帰還容量は複数の容量素子からなり、1 以上のスイッチ素子により前記複数の容量素子のうちから前記帰還容量の容量値の設定に必要な容量素子を選択可能としたことを特徴とする請求項 4 記載の固体撮像装置。

【請求項 6】 光信号を電気信号に変換し、さらにデジタル信号に変換して

出力する固体撮像装置において、

前記光信号を電気信号に変換し出力する、行と列に配列された複数の光電変換素子と、

前記光信号を電気信号に変換した第 1 の信号電圧と前記光電変換素子を初期化したときの第 2 の信号電圧とを逐次入力し、前記第 1 の信号電圧及び前記第 2 の信号電圧を電荷に変換して前記第 1 の信号電圧と前記第 2 の信号電圧の差信号を生成し、該差信号の大きさに応じて利得調整して、出力レベルが調整された前記差信号を出力する、前記列毎に設けられた可変利得アンプと、

前記可変利得アンプから出力された差信号をデジタル信号に変換するアナログ／デジタル変換回路とを有してなることを特徴とする固体撮像装置。

【請求項 7】 前記光電変換素子は、受光素子と該受光素子に隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備え、前記光信号検出用絶縁ゲート型電界効果トランジスタは、ゲート電極下方のチャネル領域下であって、ソース領域の周囲に前記受光素子で発生した光発生電荷を蓄積する高濃度埋込層を備えてなり、

前記第 1 の信号電圧及び第 2 の信号電圧は前記光信号検出用絶縁ゲート型電界効果トランジスタのソース領域から出力されることを特徴とする請求項 4 乃至 6 の何れか一に記載の固体撮像装置。

【請求項 8】 光信号を電気信号に変換し、さらにデジタル信号に変換して出力する光信号読み出し方法において、

光電変換素子に光信号を照射し、該光信号を電気信号に変換した第 1 の信号電圧を出力し、

前記第 1 の信号電圧を電荷に変換して蓄積し、

前記光電変換素子を初期化したときの第 2 の信号電圧を出力し、

前記第 2 の信号電圧を電荷に変換し、

前記電荷に変換して蓄積された第 1 の信号電圧と前記電荷に変換された第 2 の信号電圧との差信号を生成し、該差信号を利得調整して、出力レベルが調整された差信号を生成し、

前記出力レベルが調整された差信号をデジタル信号に変換することを特徴とす

る光信号読み出し方法。

【請求項 9】 前記光信号読み出し方法は、さらに、行と列に配列された前記光電変換素子について、前記列毎に前記出力レベルが調整された差信号を生成することを特徴とする請求項 8 記載の光信号読み出し方法。

【請求項 10】 前記光電変換素子は、受光素子と該受光素子に隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備え、前記光信号検出用絶縁ゲート型電界効果トランジスタは、ゲート電極下方のチャネル領域下であって、ソース領域の周囲に前記受光素子で発生した光発生電荷を蓄積する高濃度埋込層を備えてなり、

前記第 1 の信号電圧及び第 2 の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタのソース領域から出力することを特徴とする請求項 8 又は 9 記載の光信号読み出し方法。

【請求項 11】 前記光信号読み出し方法において、前記第 1 の信号電圧と第 2 の信号電圧とを逐次入力する可変利得アンプの入力端子と、前記第 1 の信号電圧と第 2 の信号電圧との差信号を出力する可変利得アンプの出力端子と、参照電圧が入力される正入力端子、前記可変利得アンプの入力端子と信号経路を介して接続される負入力端子及び前記可変利得アンプの出力端子と接続される出力端子を有する演算増幅器と、前記可変利得アンプの入力端子から前記演算増幅器の負入力端子に至る信号経路に設けられ、一端が前記信号経路を介して前記可変利得アンプの入力端子と接続され、他端が前記信号経路を介して前記演算増幅器の負入力端子と接続される入力容量と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間に設けられた容量値可変の帰還容量と、前記可変利得アンプの入力端子から前記入力容量の一端に至る信号経路をし、或いは開放する第 1 のスイッチ素子と、前記入力容量の一端への前記参照電圧の入力端子を接続し、或いは開放する第 2 のスイッチ素子と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間を接続し、或いは開放する第 3 のスイッチ素子とを有する可変利得アンプが前記列毎に設けられ、

前記差信号が前記デジタル信号に変換する際のアナログ信号の入力電圧の範囲に適合するように前記入力容量と前記帰還容量の比を調整することにより利得調

整し、

前記受光素子で発生した光発生電荷を前記光信号検出用絶縁ゲート型電界効果トランジスタの高濃度埋込層に転送して蓄積するとともに、前記第2のスイッチ素子及び第3のスイッチ素子を接続して前記入力容量及び帰還容量を初期化し、

次いで、前記第1のスイッチ素子及び第3のスイッチ素子を接続し、かつ前記第2のスイッチ素子を開放して、前記高濃度埋込層に蓄積された前記光発生電荷に応じた信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタから出力し、さらに前記信号電圧を電荷に変換して前記入力容量に蓄積し、

次いで、前記第2のスイッチ素子を接続し、前記第3のスイッチ素子を開放して前記入力容量に蓄積されている信号電圧に係る電荷を前記帰還容量に転送し、

次いで、前記高濃度埋込層に残留する前記光発生電荷を排出して前記光電変換素子を初期化した後に、前記第1のスイッチ素子を接続し、かつ前記第2のスイッチ素子及び第3のスイッチ素子を開放して、前記光電変換素子が初期化された状態における第2の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタから出力し、さらに前記第2の信号電圧を電荷に変換して前記信号電圧に係る電荷と前記第2の信号電圧に係る電荷との差を前記帰還容量に蓄積して前記差信号を生成し、

前記出力レベルが調整された差信号を前記演算増幅器から前記列毎に出力することを特徴とする請求項10記載の光信号読み出し方法。

【請求項12】 光信号を電気信号に変換して出力する、行と列に配列された複数の光電変換素子と、前記列毎に設けられた前記光信号を電気信号に変換した第1の信号電圧と、前記光電変換素子を初期化したときの第2の信号電圧とを逐次入力し、前記第1の信号電圧及び前記第2の信号電圧を電荷に変換して前記第1の信号電圧と前記第2の信号電圧との差信号を出力するアンプと、前記アンプから出力された差信号を前記光信号に対応する映像信号として出力する映像信号出力端子とを有し、

少なくとも2列のアンプ間に前記差信号出力を混合して出力するためのスイッチ手段を設けたことを特徴とする固体撮像装置。

【請求項13】 前記アンプは、前記第1の信号電圧と前記第2の信号電圧

とを逐次入力し、前記第 1 の信号電圧及び前記第 2 の信号電圧を電荷に変換して前記第 1 の信号電圧と第 2 の信号電圧との差信号を生成し、該差信号の大きさに応じて利得調整して、出力レベルが調整された差信号を出力する可変利得アンプであることを特徴とする請求項 1 2 記載の固体撮像装置。

【請求項 1 4】 前記光電変換素子は、受光素子と該受光素子に隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備え、前記光信号検出用絶縁ゲート型電界効果トランジスタは、ゲート電極下方のチャネル領域下であって、ソース領域の周囲に前記受光素子で発生した光発生電荷を蓄積する高濃度埋込層を備えてなり、

前記信号電圧及び第 2 の信号電圧は前記光信号検出用絶縁ゲート型電界効果トランジスタのソース領域から出力されることを特徴とする請求項 1 3 記載の固体撮像装置。

【請求項 1 5】 光信号を電気信号に変換して出力する、行と列に配列された複数の光電変換素子と、前記光信号を電気信号に変換した第 1 の信号電圧と、前記光電変換素子を初期化したときの第 2 の信号電圧とを逐次入力し、前記第 1 の信号電圧及び前記第 2 の信号電圧を電荷に変換して前記第 1 の信号電圧と前記第 2 の信号電圧との差信号を出力する、前記列毎に設けられた複数のアンプと、前記アンプから出力された差信号を前記光信号に対応する映像信号として出力する映像信号出力端子とを有する固体撮像装置の光信号読み出し方法において、

少なくとも 2 列のアンプ間の前記差信号出力を混合して出力することを特徴とする光信号読み出し方法。

【請求項 1 6】 前記光電変換素子は、受光素子と該受光素子に隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備え、前記光信号検出用絶縁ゲート型電界効果トランジスタは、ゲート電極下方のチャネル領域下であって、ソース領域の周囲に前記受光素子で発生した光発生電荷を蓄積する高濃度埋込層を備えてなり、

前記第 1 の信号電圧及び第 2 の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタのソース領域から出力することを特徴とする請求項 1 5 記載の光信号読み出し方法。

【請求項 1 7】 前記アンプが、前記第 1 の信号電圧と第 2 の信号電圧とを逐次入力する入力端子と、前記第 1 の信号電圧と第 2 の信号電圧との差信号を出力する出力端子と、参照電圧を入力する正入力端子、前記アンプの入力端子と接続される負入力端子及び前記アンプの出力端子と接続される出力端子を有する演算増幅器と、前記アンプの入力端子から前記演算増幅器の負入力端子に至る信号経路に設けられ、一端が前記信号経路を介して前記アンプの入力端子と接続され、他端が前記信号経路を介して前記演算増幅器の負入力端子に接続される入力容量と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間に設けられた帰還容量と、前記アンプの入力端子から前記入力容量の一端に至る信号経路を接続し、或いは開放する第 1 のスイッチ素子と、前記入力容量の一端への前記参照電圧の入力端子を接続し、或いは開放する第 2 のスイッチ素子と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間を接続し、或いは開放する第 3 のスイッチ素子とを有し、前記画素混合スイッチ素子が少なくとも 2 つの列の前記演算増幅器の負入力端子間に接続されてなり、

前記受光素子で発生した光発生電荷を前記光信号検出用絶縁ゲート型電界効果トランジスタの高濃度埋込層に転送して蓄積するとともに、前記第 2 のスイッチ素子及び第 3 のスイッチ素子を接続して前記入力容量及び帰還容量を初期化し、

次いで、前記第 1 のスイッチ素子及び第 3 のスイッチ素子を接続し、かつ前記第 2 のスイッチ素子及び前記画素混合スイッチ素子を開放し、前記高濃度埋込層に蓄積された前記光発生電荷に応じた第 1 の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタから出力して、前記第 1 の信号電圧を電荷に変換して前記入力容量に蓄積し、

次いで、前記第 2 のスイッチ素子を接続し、前記第 3 のスイッチ素子を開放して前記入力容量に蓄積されている信号電圧に係る電荷を前記帰還容量に転送し、

次いで、前記高濃度埋込層に残留する前記光発生電荷を排出して前記光電変換素子を初期化した後に、前記第 1 のスイッチ素子及び前記画素混合スイッチ素子を接続し、かつ前記第 2 のスイッチ素子及び第 3 のスイッチ素子を開放し、前記光電変換素子が初期化された状態における第 2 の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタから出力して前記第 2 の信号電圧を電荷に変換

して前記入力容量に蓄積するとともに、少なくとも2列のアンプ間の前記差信号出力を混合して出力することを特徴とすることを特徴とする請求項16記載の光信号読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、可変利得アンプ、固体撮像装置及び光信号読み出し方法に関し、より詳しくは、入力信号のレベルに応じて利得調整が可能な可変利得アンプと、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる、光信号をデジタル信号に変換して出力する固体撮像装置及び光信号読み出し方法に関する。

【0002】

【従来の技術】

CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、多くの画像入力デバイス装置に適用されている。

【0003】

特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を有することから、CMOS型イメージセンサが注目されている。

【0004】

そのようなCMOS型イメージセンサが米国特許6,128,039に記載されている。この米国特許6,128,039のCMOS型イメージセンサは、所謂アクティブピクセルセンサと呼ばれている。米国特許6,128,039から転記した図10に示すように、定電流源M4等の能動負荷との組み合わせで、ソースフォロアにより信号電圧を出力させている。

【0005】

米国特許6,128,039のCMOS型イメージセンサでは、信号電荷蓄積用の負荷容量C1及び読み出しトランジスタM2のゲート-ソース間容量C_{gs}がM2の

ゲートに直列に接続される。これらの容量は、電荷／電圧変換の固定容量に並列に入ったことになり、見かけ上の電荷／電圧変換の固定容量を変化させる。また、M2のソースに接続されたC1が充電されることで信号読み出しの間にM2のソース電位は大きく変化し、この電位変化はM2のCgsを通してM2のゲートに帰還されるので、入力電位も変化し、伝達特性の線形性を著しく損なう。このために、このCMOS型イメージセンサでは読み出しトランジスタM2の負荷としての定電流源M4は不可避であった。

【0006】

また、近年、イメージセンサには積分方式コラム型アナログ／デジタル変換器（以下、コラム型ADCと称する。）が搭載されるようになっている。そのコラム型ADCにおいては、コンパレータによりアナログ信号である光電気信号を所定の勾配を有する比較ランプ電圧と比較し、パルスカウンタにより光電気信号の大きさに対応するパルス計数値に変換する。

【0007】

その場合、アナログ信号が小さいときには比較ランプ電圧の勾配も小さくしてダイナミックレンジを確保している。

【0008】

さらに、多数の単位画素を水平方向及び垂直方向に配列した固体撮像装置では、動画再生時にサンプリング画素を間引きして残りの画素の検出信号のみを出力させ、フレームレートを増加させるようにしている。

【0009】

【発明が解決しようとする課題】

しかしながら、列毎に定電流源M4を備えたイメージセンサでは、定電流源M4が個々に特性のばらつきを持つため、列毎に利得のばらつきを生じる。そのばらつきが列単位のオフセット差として現れ、画面で見たときに所謂縦の固定パターンノイズとなって現れる。

【0010】

また、従来のイメージセンサから出力した信号電圧をコラム型ADCに入力させる場合、小さいアナログ信号に対応して比較ランプ電圧の勾配を小さくすると

、ランプ信号の線形性やコンパレータの比較精度により、及び光電変換素子等に生じるオフセット電圧の影響により、S N比が制限される。

【0 0 1 1】

更に、従来のイメージセンサでサンプリング画素を間引きすると、MTF (Modulation Transfer Function: 解像力) が劣化し、モアレの多い画像になる。また、サンプリングを間引きしたため、サンプリング画素間隔の逆数に比例するサンプリング周波数の2倍以下に低下すると、そのため折り返しノイズが発生する虞がある。さらに、画素数に応じて高速にイメージセンサを動作させる必要があるため、消費電力が大きくなってしまう。

【0 0 1 2】

本発明は、上記従来技術の問題点に鑑みて発明されたものであり、光電気信号をデジタル化するに際して、ダイナミックレンジの向上を図りつつ、S N比の向上を図ることができる可変利得アンプ、固体撮像装置及び光信号読み出し方法を提供し、また、固定パターンノイズを低減し、さらに、サンプリング画素の間引きを行って低消費電力動作を維持しつつ、解像力の低下や折り返しノイズの発生を抑制することができる固体撮像装置及び光信号読み出し方法を提供するものである。

【0 0 1 3】

【課題を解決するための手段】

上記課題を解決するため、本発明の可変利得アンプは、図1に示すように、第1の信号電圧と、第2の信号電圧とを逐次入力することにより、第1の信号電圧及び第2の信号電圧を電荷に変換して、第1の信号電圧と第2の信号電圧との差信号を生成し、かつ差信号がデジタル符号化アナログ入力レベルの範囲内に入るような利得で差信号を増幅して出力することを特徴としている。

【0 0 1 4】

可変利得アンプ105aは、所謂チョッパ型スイッチトキャパシタ型積分回路からなる。チョッパ型スイッチトキャパシタ型積分回路は、例えば、図1に示すように、参照電圧Vrefが印加される正入力端子(+)、負入力端子(-)及び出力端子を有する演算増幅器31と、可変利得アンプ105aの入力端子から演

演算増幅器 3 1 の負入力端子 (-) に至る信号経路に設けられた入力容量 C_i (C_1) と、演算増幅器 3 1 の負入力端子 (-) と出力端子との間に設けられた複数の容量素子からなる帰還容量 C_f (C_2 、 C_3 、 C_4 、 \cdots 等) と、可変利得アンプ 1 0 5 a の入力端子から入力容量 C_i の他端に至る信号経路を短絡し、或いは開放する第 1 のスイッチ素子 SW_1 、 SW_2 と、入力容量 C_i の他端への参照電圧 V_{ref} の入力をオンし、或いはオフする第 2 のスイッチ素子 SW_3 と、演算増幅器 3 1 の負入力端子 (-) と出力端子との間を短絡し、或いは開放する第 3 のスイッチ素子 SW_4 とを有してなる。

【 0 0 1 5 】

演算増幅器 3 1 の増幅利得の調整は以下のように行なうことができる。

【 0 0 1 6 】

即ち、帰還容量 C_f を構成する C_2 、 C_3 、 C_4 、 \cdots 等の容量素子は、各容量素子の演算増幅器 3 1 の入出力間への接続及び非接続を制御するスイッチ素子 (SW_5 、 SW_6 \cdots 等) に接続されているので、スイッチ素子 (SW_5 、 SW_6 \cdots 等) を選択的にオン、オフして適当な容量素子を選択して演算増幅器 3 1 の入出力間に接続することができる。これにより、帰還容量 C_f の容量値を加減して、帰還容量 C_f に対する入力容量 C_i の比 (C_i / C_f) を調整する。これにより、演算増幅器 3 1 の増幅利得の調整が可能となる。

【 0 0 1 7 】

また、固体撮像装置は、行と列に配列された光電変換素子と、列毎に設けられ、列毎の光電変換素子の出力と接続する上記の可変利得アンプと、可変利得アンプの出力側に繋がって差信号をデジタル信号に変換するアナログ／デジタル変換回路を有している。この場合、可変利得アンプに入力する第 1 の信号電圧として光信号を電気信号に変換して得られた信号電圧を用い、また、第 2 の信号電圧として光電変換素子を初期化したときの第 2 の信号電圧を用いる。

【 0 0 1 8 】

また、光信号読み出し方法によれば、第 1 の信号電圧を電荷に変換して蓄積し、第 2 の信号電圧を出力し、電荷に変換するとともに、蓄積された第 1 の信号電圧と電荷に変換された第 2 の信号電圧との差信号がデジタル符号化アナログ入力

レベルの範囲内に入るような利得で差信号を増幅することを特徴としている。

【 0 0 1 9 】

このように、本発明によれば、アナログ信号電圧の振幅がデジタル符号化アナログ入力レベルの範囲よりも小さいときでも、アナログ信号電圧を増幅してデジタル符号化アナログ入力レベルの範囲に適合させることができる。これにより、アナログ信号電圧のデジタル化に際して、ダイナミックレンジを確保し、かつ S/N 比を向上させることができる。

【 0 0 2 0 】

また、上記した固体撮像装置は、光信号検出用 MOS トランジスタのチャネル下、ソース領域の周囲に光発生電荷を蓄積する高濃度埋込層を有し、画素 1 0 1 の出力端であるソースに定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。上記した固体撮像装置では、外部電源によりゲート電位は一定電位に保たれているので、表面電位は高濃度埋込層に蓄積された光発生ホールにより一意的に決まる。高濃度埋込層に蓄積された光発生ホールの状態はソース電位の影響を受けないので、信号読み出しの間にソース電位が変化しても高濃度埋込層に不要な帰還作用を及ぼさない。従って、ソースフォロウの負荷として、特性を揃えにくい定電流源を用いず、特性を揃えることが容易な容量のみを用いても表面電位を正確にソースに伝えることができる。これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

【 0 0 2 1 】

また、別の本発明によれば、図 6 に例示するように、少なくとも 2 つの列のアンプ 1 0 5 a、1 0 5 b 間、より詳しくは少なくとも 2 つの列のアンプ 1 0 5 a、1 0 5 b の演算増幅器 3 1 同士の負入力端子間にこれらの間を接続し、或いは非接続とする画素混合スイッチ素子 SM を設けている。この構成は、動画を扱う固体撮像装置の場合に最適である。

【 0 0 2 2 】

そして、上記構成で、画素混合スイッチ素子 SM をオンにして少なくとも 2 つの列の画素 1 0 1 からの信号を混合し、平均化することにより、間引き動作を行なうことができる。

【 0 0 2 3 】

この場合に、走査上間引きを行なっても、走査上間引きされた画素 1 0 1 位置における信号として平均化された信号が出力されるので、サンプリング周波数は低下しない。従って、解像力の低下を防止し、折り返しノイズの発生を防止することができ、良質な画像が得られる。また、間引きに応じて信号処理回数が減るので、消費電力が低減される。

【 0 0 2 4 】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照して説明する。

【 0 0 2 5 】

(第 1 の実施の形態)

(i) 可変利得アンプの構成

図 1 を参照して、この発明の第 1 の実施の形態である可変利得アンプ 1 0 5 a の詳細な構成について説明する。この可変利得アンプ 1 0 5 a は 2 つの信号についての差信号を生成することができる増幅回路であり、特に差信号の大きさに応じて増幅率を変化させることができるという特徴を有する。

【 0 0 2 6 】

可変利得アンプ 1 0 5 a は、図 1 に示すように、正入力端子 (+)、負入力端子 (-) 及び出力端子を有する演算増幅器 3 1 を備えている。正入力端子 (+) には参照電圧 (V_{ref}) が入力され、負入力端子 (-) には、例えば、光センサアレイ 1 0 0 の光電変換素子 1 0 1 の出力である第 1 の信号電圧 V_t 及び第 2 の信号電圧 V_n が入力される。出力端子からは、第 2 の信号電圧 V_n を第 1 の信号電圧 V_t から除いた差信号 $V_s (= V_t - V_n)$ が出力される。

【 0 0 2 7 】

また、可変利得アンプ 1 0 5 a の入力端子から演算増幅器 3 1 の負入力端子に至る信号経路にスイッチ素子 SW_1 及び SW_2 と、コンデンサ C_1 からなる入力容量 C_i とが直列接続されている。入力容量 C_i の一端がスイッチ素子 SW_1 、 SW_2 を介して可変利得アンプ 1 0 5 a の入力端子と接続され、入力容量 C_i の他端が演算増幅器 3 1 の負入力端子と接続されている。スイッチ素子 SW_1 及び

SW2が第1のスイッチ素子を構成する。

【0028】

スイッチ素子SW1は単体のnチャネルMOSトランジスタからなり、スイッチ素子SW2は1以上のMOSトランジスタで構成された伝達ゲートからなる。ともに入力容量Ciの一端への入力信号の入力をオン/オフする。可変利得アンプ105aの入力端子に、例えば光電変換素子101の出力端が接続され、光電変換素子101を初期化するためにその出力端を通して大きな正の電圧を印加する場合に、第1のスイッチ素子のうちスイッチ素子SW1が有効に働き、可変利得アンプ105aへの高電圧の入力を阻止する。

【0029】

入力容量Ciの一端には、スイッチ素子（第2のスイッチ素子）SW3を介して参照電圧(Vref)が接続されている。また、演算増幅器31の負入力端子（-）と出力端子との間には、帰還容量Cfと、スイッチ素子（第3のスイッチ素子）SW4とが並列接続されている。

【0030】

帰還容量Cfは複数のコンデンサC2、C3、C4から構成されている。さらに、コンデンサC2、C3、C4のうちコンデンサC3、C4を任意に選択して帰還容量Cfの容量値を調整可能なように、各コンデンサC3、C4を演算増幅器31の負入力端子（-）と出力端子の間に接続し、或いは非接続とする第5及び第6のスイッチ素子SW5、SW6が設けられている。

【0031】

なお、帰還容量Cfを、接続が固定されたコンデンサC2のほかに、接続/非接続が選択可能な3つ以上のコンデンサから構成して、接続/非接続が選択可能な各コンデンサC3、C4、・・・を演算増幅器31の負入力端子（-）と出力端子の間に接続し、或いは非接続とする3つ以上の対応するスイッチ素子SW5、SW6、・・・を設けることも可能である。

【0032】

演算増幅器31の出力端子は、列毎にコラム型ADC106の入力に接続される。このとき、演算増幅器31から出力された差信号が次段のコラム型ADC1

06へのデジタル符号化アナログ入力レベルの範囲から外れている場合に、差信号がアナログ入力レベルの範囲内に入るように増幅利得を調整する必要がある。このため、外部から自動的に或いは手動で、第5及び第6のスイッチ素子SW5、SW6のうち少なくとも何れか一を選択し、それらのオン/オフを制御する信号(Gsel1, Gsel2)を供給する。即ち、演算増幅器31の増幅利得の調整は、演算増幅器31の負入力端子(-)と出力端子との間に接続された帰還容量Cfに対する入力容量Ciの比(C_i/C_f)を調整することにより行なうことができる。この実施の形態では、帰還容量CfはコンデンサC2、C3、C4の複数の容量素子から構成され、スイッチ素子(SW5、SW6)をオン、オフして適当な容量素子を任意選択できるようにしている。

【0033】

なお、図面では、上記のスイッチ素子SW1乃至SW6を模式的に記載しているが、上で説明したスイッチ素子SW1及びSW2と同様に実際には1つ以上のトランジスタなどを用いて同じ機能を得ることができる。

【0034】

(ii) 固体撮像装置の構成

次に、図1の可変利得アンプ105aを適用した固体撮像装置について説明する。

【0035】

図2は、この発明の第1の実施の形態である固体撮像装置の回路構成図である。この固体撮像装置は、図2に示すように、光センサアレイ100と、信号出力回路107とを備えている。信号出力回路107は、図1の可変利得アンプ105aを列毎に配置した差信号生成回路105と、コラム型アナログ/デジタル変換器(以下、コラム型ADCと称する。)106とを備えている。行に並ぶ画素(光電変換素子)101のMOSトランジスタを駆動して光の入射量に比例し、第2の信号電圧Vn成分を含まないデジタル化された映像信号(V_{out1} 、 \dots V_{outn})が行毎に信号出力回路107から出力される。

【0036】

まず、光センサアレイ100について説明する。この光センサアレイ100は

、2次元の構成を採っており、画素101が行方向及び列方向にマトリクス状に配列されている。

【0037】

次いで、画素101内の素子構造について説明する。図8は、画素101内における素子レイアウトについて示す平面図である。また、図9は、図8のI-I線に沿う断面図に相当する、画素内の素子断面の構造について示す断面図である。

【0038】

画素101は、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。

【0039】

これら受光ダイオード111とMOSトランジスタ112は、それぞれ異なるウエル領域、即ち第1のウエル領域15aと第2のウエル領域15bに形成され、それらのウエル領域15a、15bは互いに接続されている。受光ダイオード111が形成された第1のウエル領域15aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112が形成された第2のウエル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【0040】

MOSトランジスタ112のドレイン領域17aはリング状のゲート電極19の外周部を取り囲むように形成され、ソース領域16はリング状のゲート電極19の内周に囲まれるように形成されている。

【0041】

ドレイン領域17aが延在して受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17と低濃度のドレイン領域17aとは互いに接続した第1及び第2のウエル領域15a、15bの表層に大部分の領域がかかるように一体的に形成されている。

【0042】

さらに、この固体撮像素子の特徴であるキャリアポケット（高濃度埋込層）2

5は、ゲート電極19下の第2のウェル領域15b内であって、ソース領域16の周辺部に、ソース領域16を取り囲むように形成されている。

【0043】

ドレイン領域17aはコンタクト領域17bを通してドレイン電圧(VDD)供給線(又はドレイン電極)22と接続され、ゲート電極19は垂直走査信号(VSCAN)供給線21に接続され、ソース領域16は垂直出力線(又はソース電極)20に接続されている。

【0044】

また、上記画素101の構成要素は光透過性の絶縁膜により被覆されており、受光ダイオード111の受光窓24以外の領域は絶縁膜の上に形成された金属層(遮光膜)23により遮光されている。

【0045】

次に、図1、図2、図8、図9を参照して行と列に配列された画素101を駆動する周辺回路について説明する。図示していないが、センサアレイ100の周辺には画素101を走査する信号を供給する、垂直走査信号(VSCAN)の駆動走査回路及びドレイン電圧(VDD)の駆動走査回路が配置されている。

【0046】

垂直走査信号(VSCAN)の駆動走査回路から垂直走査信号供給線21が行毎に一つずつ接続され、各垂直走査信号供給線21は行方向に並ぶ全ての画素101内のMOSトランジスタ112のゲート19に接続されている。

【0047】

また、ドレイン電圧供給線(VDD供給線)22はドレイン電圧(VDD)の駆動走査回路から行毎に一つずつ接続され、各ドレイン電圧供給線(VDD供給線)22は、行方向に並ぶ全ての画素101内のMOSトランジスタ112のドレイン17aに接続されている。

【0048】

また、列毎に異なる垂直出力線20a, ..., 20nが設けられて、各垂直出力線20a, ..., 20nは列方向に並ぶ全ての画素101内のMOSトランジスタ112のソース16にそれぞれ接続されている。また、各垂直出力線20a

、・・・、 $20n$ には画素101を初期化するための大きな正の電圧を供給する図示しない昇圧回路が接続されている。即ち、列毎に各画素101のMOSトランジスタ112のソース16に昇圧された電圧が印加される。昇圧された電圧はさらにMOSトランジスタ112のゲート-ソース間の容量を通して結果的にゲート19にかかる。これにより、ウェル領域15a、15bにかかる電界強度を増して、キャリアの掃き出しを促進することができる。

【0049】

さらに、MOSトランジスタ112のソース16は垂直出力線20a、・・・、 $20n$ を通して信号出力回路107の入力端と接続している。言い換えれば、ソース16は列毎に上記の差信号生成回路105内の可変利得アンプ105aの入力端に接続し、信号読み出しのとき図1に示す入力容量 C_i に直結することになる。なお、図2では省略しているが、実際には垂直出力線20a、・・・、 $20n$ の途中にはスイッチ素子等が設けられて信号の流れを制御している。

【0050】

差信号生成回路105の入力端に第1の信号電圧 V_t 及び第2の信号電圧 V_n が入力され、差信号生成回路105の出力端子からは、画素101を初期化したときに発生する第2の信号電圧 V_n を第1の信号電圧 V_t から除いた差信号 V_s ($=V_t - V_n$) が出力される。さらに、差信号生成回路105の出力は列毎にコラム型ADC106の入力端に接続している。

【0051】

差信号生成回路105においては、外部からの信号 G_{sel1} 、 G_{sel2} により帰還容量 C_f の容量値を選択して差信号 V_s の大きさがデジタル符号化アナログ入力レベルの範囲内に適合するように利得調整することができ、出力端子からはアナログ出力レベルが調整された差信号 V_s 又は $V_{s\ amp}$ が出力される。

【0052】

コラム型ADC106は、図3(a)、(b)に示すように、不図示のコンパレータによりアナログ信号である差信号 V_s 又は $V_{s\ amp}$ を所定の勾配を有する比較ランプ電圧 V_L と比較し、不図示のパルスカウンタにより差信号 V_s 又は $V_{s\ amp}$ の大きさに対応するパルス計数値 N_c 又は N_{ca} に変換する。なお、パルス

計数値 N_{ca} は、増幅利得を考慮した係数を乗じて実際の差信号 V_s に対応するパルス計数値 N_c に変換される。

【0053】

デジタル化された映像信号は、行毎の画素並びに対応して、コラム型ADC106の出力端子から出力される。

【0054】

以上のように、この発明の実施の形態の固体撮像装置によれば、光信号に対応する差信号をデジタル符号化アナログ入力レベルの範囲内に適合するような利得で増幅することができる。

【0055】

また、上記した固体撮像装置は、画素101の出力端であるソース16に定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。これは、信号検出用MOSトランジスタ112がチャンネル下、ソース領域16を囲むように光発生電荷（ホール）を蓄積する高濃度埋込層25を備えていることによる。この理由は、以下の通りである。

【0056】

p型の高濃度埋込層25のポテンシャル井戸に光発生ホールを蓄積して、空乏化したウエル領域15b内の負の空間電荷を変化させることにより、閾値が変調されて、MOSトランジスタ112の表面電位が決定される。このとき、外部電源によりゲート電位は一定電位に保たれているので、表面電位はポテンシャル井戸に蓄積された光発生ホールにより一意的に決まる。高濃度埋込層25に蓄積された光発生ホールの状態はソース電位の影響を受けないので、信号電荷蓄積容量を負荷とするソースフォロワを形成して信号を読み出す場合、たとえ信号読み出しの間にソース電位が変化しても高濃度埋込層25に不要な帰還作用を及ぼさない。従って、MOSトランジスタ112のソース領域16に定電流源を接続してソースーゲート間の電位差を一定に保つ必要がないため、特性を揃えることが容易な容量のみをソースフォロワの負荷としても表面電位をソースに伝えることができる。

【0057】

これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

【0058】

(i v) 光信号の検出動作及び読み出し動作

次に、図3乃至図5を参照して、本発明の第1の実施の形態に係る光信号の検出動作及び読み出し動作を説明する。

【0059】

図3 (a)、(b)は、コラム型ADC106の動作を示す図である。

図4は、画素101に着目して、光信号の検出動作及び読み出し動作を説明するタイミングチャートである。上記した光信号検出用MOSトランジスタがnMOSの場合に適用する。

【0060】

図5は差信号生成回路105を動作させるためのタイミングチャートを示す。 V_{out1} 、・・・、 V_{outn} は信号出力回路107から出力されるデジタル化された映像信号を示す。

【0061】

光信号の検出動作及び読み出し動作は、図4に示すように、蓄積期間－読出期間－掃出期間（初期化期間）－ノイズ読出期間からなる一連の過程を繰り返す行う。

【0062】

まず、図4を参照して一連の動作を説明する。都合上、蓄積期間から説明を始める。また、必要により、図1、図2、図8及び図9も適宜参照する。

【0063】

蓄積期間では、受光ダイオード111に光照射を行って光発生ホールを発生させ、MOSトランジスタ112のチャネル領域下に転送し、高濃度埋込層25に蓄積させる。これにより、MOSトランジスタ112の閾値電圧が変化するので、次の読出期間においてその閾値電圧の変化をソース電圧 V_{ps} として出力させる。

【0064】

読出期間では、MOSトランジスタ112を動作させて光発生ホールの蓄積量

に比例した光信号としてソース電圧 V_{ps} を出力し、入力容量 C_i に記憶させる。このソース電圧 V_{ps} は光信号より電気信号に変換した信号電圧 V_t を構成し、光の強度に応じた真の信号電圧成分 V_s の他に第2の信号電圧成分 V_n を含んでいる。

【0065】

初期化期間では、スイッチ素子 SW_1 を開放し、MOSトランジスタ112のソース領域16を通してゲート電極19及びドレイン領域17aに高電圧を印加し、受光ダイオード111及び光信号検出用MOSトランジスタ112から蓄積ホールを排出して画素101を初期化する。

【0066】

ノイズ読出期間では、初期化された状態でのソース電圧 V_{ps} を第2の信号電圧 V_n として画素101から出力し、信号出力回路107に入力させて第2の信号電圧 V_n を除去した差信号 $V_s (= V_t - V_n)$ を取り出す。

【0067】

ノイズ読出期間終了後に再び上記した蓄積期間に戻る。

【0068】

次に、図5を参照し、差信号生成回路105、特に図1の可変利得アンプ105aに着目して、蓄積期間－読出期間－掃出期間（初期化期間）－ノイズ読出期間からなる一連の過程に対応させながら、デジタル化された差信号 V_s の生成動作について詳細に説明する。

【0069】

蓄積期間では、信号SCM, CLMをいずれもHighレベル（以下、Hレベルと称する。）として、スイッチ素子 SW_2 , SW_4 をオン状態とし、かつ信号Load, RSMをいずれもLowレベル（以下、Lレベルと称する。）として、スイッチ素子 SW_1 , SW_3 をオフ状態とする。

【0070】

蓄積期間の終了時の期間（入力容量初期化期間）に、信号Load, SCM, RSM, CLM, Gsel1, Gsel2をいずれもHレベルとして、スイッチ素子 SW_1 , SW_2 , SW_3 , SW_4 , SW_5 , SW_6 をオン状態とし、入力容量 C_i である

コンデンサ C_1 、帰還容量 C_f であるコンデンサ C_2 、 C_3 、 C_4 の電荷を初期化する。

【0071】

その後、センサ信号読込み期間（読出期間）では、信号 R_{SM} をLレベルとして、スイッチ素子 SW_3 をオフ状態とする。他のスイッチ素子 SW_1 、 SW_2 、 SW_4 は前の状態のまま保持する。これにより、可変利得アンプ105aの入力容量 C_i に、それぞれ画素101からの第1の信号電圧 V_t が供給される。但し、この第1の信号電圧 V_t には、光信号成分 V_s と第2の信号電圧成分 V_n が含まれている。

【0072】

このとき、可変利得アンプ105aの入力容量 C_i の両側の電位差は $V_t - V_{ref}$ となる。そして、スイッチ素子 SW_4 がオン状態であるので、可変利得アンプ105aの演算増幅器31の出力は V_{ref} となる。

【0073】

画素初期化期間（初期化期間）では、信号 $Load$ 、 SCM をLレベルとして、スイッチ素子 SW_1 、 SW_2 をオフ状態とする。他のスイッチ素子 SW_3 、 SW_4 は前の状態のまま保持する。この間に、画素101の出力端に高い電圧を供給し、画素を初期化する。即ち、受光ダイオード111及びMOSトランジスタ112内の蓄積電荷を空にする。

【0074】

その後、ノイズ読出期間では、立ち上がり時の期間（信号線初期化期間）に、図示しないスイッチ素子を介して垂直出力線20a, ..., 20nを接地電位とし、信号 SCM をLレベルとして、スイッチ素子 SW_2 をオフ状態のまま保持する。さらに、信号 CLM をLレベルとして、スイッチ素子 SW_4 をオフ状態にするとともに、信号 G_{sel1} をHレベルとして、スイッチ素子 SW_5 をオン状態にして容量素子 C_3 を選択し、帰還容量 C_f を入力容量 C_i と等しくなるように設定する。ここでは、入力容量 C_i の容量値と等しい容量値を $C_2 + C_3$ とする。さらに、信号 $Load$ 、 R_{SM} をHレベルとして、スイッチ素子 SW_1 、 SW_3 をオンにする。これにより、可変利得アンプ105a内の信号線に蓄積されている電荷

を初期化する。また、入力容量 C_i の一端側が V_{ref} となるため入力容量 C_i に蓄積されていた電荷 $C_i \cdot (V_t - V_{ref})$ が帰還容量 $C_f (=C_2 + C_3)$ に転送される。入力容量 C_i の両端の電位差は0となる。

【0075】

信号線初期化期間の経過後、信号SCMをHレベルとして、スイッチSW2をオン状態にするとともに、信号RSM, CLMをLレベルとして、スイッチSW3, SW4をオフ状態にする。また、信号Gsel1をHレベルとして、SW5をオン状態にして容量素子 C_3 を選択する。これにより、可変利得アンプ105aの入力容量 C_i の両端の電位差が0から $V_n - V_{ref}$ に変化する。これに対応する電荷 $C_i \cdot (V_t - V_n) / C_f (=V_s)$ が帰還容量 C_f にも蓄積され、演算増幅器31の出力は差信号 V_s を含む信号電圧 $(V_{ref} - V_s)$ となる。

【0076】

次いで、差信号 V_s とデジタル符号化アナログ入力レベルの範囲と比較する。差信号 V_s の大きさがデジタル符号化アナログ入力レベルの範囲のときには、コラム型ADC106にそのまま出力する。

【0077】

一方、差信号 V_s の大きさが、例えばデジタル符号化アナログ入力レベルの範囲の下限值よりも小さいときには、外部からの信号により、差信号 V_s の大きさがその下限値よりも大きくなるような利得で差信号 V_s が増幅されるように、帰還容量 C_f の容量値を選択する。ここでは、必要な増幅利得が得られる容量値を $C_2 + C_4 (< C_2 + C_3)$ とすると、Gsel1をLレベルとしてSW5をオフ状態にするとともに、Gsel2をHレベルとしてSW6をオン状態にし、帰還容量 C_f として容量素子 $C_2 + C_4$ を選択する。

【0078】

そして、入力容量 C_i 及び帰還容量 C_f を初期化した後、新たに第1の信号電圧 V_t を入力容量 C_i に入力して電荷に変換し、続いて、帰還容量 C_f に転送する。続いて、第2の信号電圧 V_n を入力容量 C_i 及び帰還容量 C_f に入力して電荷に変換する。即ち、可変利得アンプ105aの入力容量 C_i である容量素子 C_1 の両側の電位差が $V_t - V_{ref}$ から0を経て $V_n - V_{ref}$ に変化する。これに対

応する電荷 $C_i \cdot (V_t - V_n) / C_f (= V_{s\ amp})$ が帰還容量 C_f である容量素子 ($C_2 + C_4$) にも蓄積され、演算増幅器 31 の出力から増幅された差信号 $V_{s\ amp}$ を含む信号電圧 ($V_{ref} - V_{s\ amp}$) が出力される。

【0079】

そして、差信号 V_s 又は $V_{s\ amp}$ を図 2 に示すコラム型 ADC 106 に入力させて、デジタル信号に変換させる。さらに、このデジタル信号を映像信号としてコラム型 ADC 106 の出力端子から出力する。

【0080】

ここで、本発明においては、各列毎にアンプを有することから、このアンプ毎に固有のオフセット値を持ち、このためコラム型 ADC 106 出力が各列毎にオフセット成分を含むことが予想されるが、このオフセット成分は予めデジタル化してメモリしておき、帰線消去期間におけるオプチカルブラック信号検出において補正信号として加算し、差信号のデジタル信号との間でデジタル演算することにより容易に除去することができる。

【0081】

以上、第 1 の実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0082】

また、差信号を比較する基準として、デジタル符号化アナログ入力レベルの範囲を用いているが、これに限られない。

(第 2 の実施の形態)

(i) 固体撮像装置の構成

図 6 を参照して本発明の第 2 の実施の形態における固体撮像装置の構成について説明する。図 6 は、本発明の第 2 の実施の形態における固体撮像装置の回路構成図である。

【0083】

この固体撮像装置において、第 1 の実施の形態と異なるところは、図 6 に示すように、差信号生成回路 105 内に列毎に設けられた可変利得アンプ 105a、

105b、・・・のうち、一つの列の可変利得アンプ105aの演算増幅器31の負入力端子(－)と、隣の列の可変利得アンプ105bの演算増幅器31の負入力端子(－)とが、スイッチ素子(画素混合スイッチ素子)SMを介して接続されていることである。

【0084】

この実施の形態の光センサアレイ100の画素101の配列は、ベイヤ方式の基本形の色フィルタアレイ配列となっている。この色フィルタアレイ配列では、隣接する4つの領域にR、G、Bが配列され、かつ同一色のGが斜めに配列されている。上記した可変利得アンプ105a、105bにはこれらのGの画素101の垂直出力線20a、20bが接続されている。

【0085】

この回路構成では、スイッチ素子SMを非接続状態にすることで第1の実施の形態と同じ回路構成となり、その回路を第1の実施の形態と同じように動作させることができる。また、切り替え信号MODEによりスイッチ素子SMを接続することで、2つの列の隣接する前記Gの差信号を混合し、それらの列の出力に平均化された映像信号を出力させることができる。

【0086】

なお、上記では、画素101から出力された信号電圧のアンプとして可変利得アンプ105a、105bを用いているが、利得調整が不要な場合には可変利得アンプ105a、105bから容量素子C3、C4、及びスイッチ素子SW5、SW6を取り除いたものを用いることができる。

【0087】

(ii) 光検出動作

次に、図面を参照して第2の実施の形態である固体撮像装置の光検出動作を説明する。

【0088】

この実施の形態の固体撮像装置においては、第1の実施の形態と同じ通常の動作と間引き動作における画素混合とを行うことが可能である。通常の動作を行うには、上記したように、スイッチ素子SMを非接続状態として、第1の実施の形

態の回路構成と同じにし、第1の実施の形態と同様に動作させる。これにより、レベル調整された映像信号を出力させることができる。

【0089】

次に、画素混合の動作について説明する。図7は図6の差信号生成回路105を用いて画素混合を行なうためのタイミングチャートを示す。説明においては、必要により、図6も参照する。この場合、帰還容量 C_f として容量素子 C_2 、 C_3 、 C_4 のうち C_2 のみを用いるものとする。

【0090】

この実施の形態の画素混合の動作を含む光信号読出し動作においては、光発生ホールの蓄積動作、入力容量 C_i の初期化動作、センサ信号（第1の信号電圧） V_{ta} 、 V_{tb} の読込み動作、画素のリセット動作、信号線の初期化動作及びノイズ読出し動作を順に繰り返し行う。画素混合の動作はノイズ読出し動作のときに同時に行う。

【0091】

まず、光発生ホールの蓄積動作から信号線の初期化動作までは、画素混合スイッチ素子 SM が非接続とされて、第1の実施の形態の図5で説明した動作と同様な動作を行う。これにより、可変利得アンプ105aの帰還容量 C_f に電荷 $C_i \cdot (V_{ta} - V_{ref})$ が蓄積され、可変利得アンプ105bの帰還容量 C_f に電荷 $C_i \cdot (V_{tb} - V_{ref})$ が蓄積されるとともに、入力容量 C_i を含む信号線が初期化された状態となる。

【0092】

次いで、ノイズ読出し動作に移行し、信号 $MODE$ をHレベルとしてスイッチ素子 SM を接続し、2つの列の可変利得アンプ105a、105bに係る演算増幅器31の負入力端子同士を接続する。これにより、画素混合が可能な状態となる。このとき、同時に、スイッチ素子 SW_1 を接続し、かつスイッチ素子 SW_4 を開放状態に保持したまま、信号 SCM をHレベルとしてスイッチ素子 SW_2 を接続し、信号 RS_M をLレベルとしてスイッチ素子 SW_3 を開放する。これにより、画素101からの第2の信号電圧 V_{na} 、 V_{nb} が入力可能な状態となる。

【0093】

可変利得アンプ 1 0 5 a においては、画素 1 0 1 からの第 2 の信号電圧 V_{na} の入力により、コンデンサ $C 1$ の両端の電位差が 0 から $V_{na} - V_{ref}$ に変化し、 $C 2$ の両端の電位差が $C 1 \cdot (V_{ta} - V_{na}) / C 2$ に変化するはずである。また、可変利得アンプ 1 0 5 b においては、画素 1 0 1 からの第 2 の信号電圧 V_{nb} の入力により、コンデンサ $C 1$ の両端の電位差が 0 から $V_{nb} - V_{ref}$ に変化し、 $C 2$ の両端の電位差が $C 1 \cdot (V_{tb} - V_{nb}) / C 2$ に変化するはずである。この場合、スイッチ素子 SM により可変利得アンプ 1 0 5 a、1 0 5 b 相互の $C 2$ の入力端が接続されているので、各々の $C 2$ に別々に蓄積されるはずの電荷が混合され、平均化されるので、各々の $C 2$ の両端の電位差 $\Delta V 0$ は略 $C 1 / C 2 \cdot ((V_{ta} - V_{na}) + (V_{tb} - V_{nb})) / 2$ となる。また、各演算増幅器 3 1 の出力は $V_{ref} - \Delta V 0$ となる。この後、適宜信号処理して G の映像信号を映像信号出力端子から出力する。

【 0 0 9 4 】

ところで、従来の一般的な固体撮像装置では、サンプリング画素を間引きするため、 MTF が劣化してモアレの多い画像になったり、折り返しノイズが発生したりする。また、イメージセンサを高速で動作させる必要があるため、消費電力が大きくなってしまう。

【 0 0 9 5 】

これに対して、本実施の形態では、スイッチ素子 SM を接続することにより、少なくとも 2 つの列の同一色の画素信号を混合し、平均化して間引きに係る映像信号を生成している。従って、間引きを行なっても、サンプリングに伴う MTF の劣化を防ぐことができる。また、走査上間引きされた画素 1 0 1 位置における平均化された映像信号が出力されるので、サンプリング周波数は低下しない。これにより、折り返しノイズの発生を防止することができる。

【 0 0 9 6 】

また、間引きに応じて信号処理回数が減るので、消費電力の増大が回避される。

【 0 0 9 7 】

さらに、内部スイッチ素子 SM の切り替えのみで通常の動作と間引き動作を行

うことができるというように、簡単な手段で信号出力回路の多機能化を図ることができる。

【 0 0 9 8 】

以上、第 2 の実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【 0 0 9 9 】

例えば、上記の第 2 の実施の形態では、画素の色配列としてベイヤ方式の基本形の色フィルタアレイ配列を用いているが、他の方式の色フィルタアレイ配列を用いることも可能である。

【 0 1 0 0 】

また、この発明が適用される固体撮像装置に用いる光電変換素子として種々の変形例を適用可能である。これは、第 1 の実施の形態でも同様である。それらの実施の形態では、特に、特許（特許登録番号 2 9 3 5 4 9 2 号）に記載の光電変換素子と同じ構造の光電変換素子を用いているが、出力に容量を直結しても正確な信号電圧が得られるような他の構造の光電変換素子を用いることができる。

【 0 1 0 1 】

また、p 型の基板 1 1 上の n 型のエピタキシャル層 1 2 内に第 1 及び第 2 のウエル領域 1 5 a、1 5 b を形成しているが、n 型のエピタキシャル層 1 2 の代わりに、p 型のエピタキシャル層に n 型不純物を導入して n 型ウエル層を形成し、この n 型ウエル層内に第 1 及び第 2 のウエル領域 1 5 a、1 5 b を形成してもよい。

【 0 1 0 2 】

【発明の効果】

以上説明したように、本発明によれば、アナログ差信号の振幅が適度なデジタル符号化アナログ入力レベルの範囲よりも小さいときでも、アナログ差信号を増幅してデジタル符号化アナログ入力レベルの範囲に適合させることができる。

【 0 1 0 3 】

これにより、アナログ差信号のデジタル化に際して、ダイナミックレンジを確

保し、かつ S N 比を向上させることができる。

【 0 1 0 4 】

また、上記した固体撮像装置は、光信号検出用 M O S トランジスタのチャネル下、ソース領域の周囲に光発生電荷を蓄積する高濃度埋込層を有し、画素の出力端であるソースに定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。従って、ソースフォロワの負荷として、特性を揃えにくい定電流源を用いず、特性を揃えることが容易な容量のみを用いても表面電位を正確にソースに伝えることができる。これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

【 0 1 0 5 】

さらに、本発明の 1 つの態様によれば、行及び列に配列された画素と、画素からの出力信号を処理する、列毎に設けられたアンプとを有し、かつ少なくとも 2 つ列のアンプの演算増幅器の入力端子間に画素混合スイッチ素子を設けており、間引き動作時にこのスイッチ素子を接続して少なくとも 2 つの列の画素信号を混合し、平均化して各画素の映像信号として出力しているので、折り返しノイズのない画像、即ちモアレのない画像を得ることができ、消費電力も低減させることができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施の形態に係る可変利得アンプを示す回路図である。

【図 2】

この発明の第 1 の実施の形態に係る可変利得アンプを備えた固体撮像装置の回路構成を示す図である。

【図 3】

図 2 の固体撮像装置の回路構成のうち信号処理回路（コラム型 A D C）の動作を示す図である。

【図 4】

この発明の第 1 の実施の形態の固体撮像装置を動作させる際のタイミングチャートである。

【図 5】

この発明の第 1 の実施の形態に係る固体撮像装置の差信号生成動作のタイミングチャートである。

【図 6】

この発明の第 2 の実施の形態に係る信号出力回路を備えた固体撮像装置の回路の構成を示す図である。

【図 7】

この発明の第 2 の実施の形態に係る固体撮像装置の画素混合動作のタイミングチャートである。

【図 8】

この発明の第 1 及び第 2 の実施の形態に係る固体撮像装置を構成する光センサアレイの画素内の素子構造を示す平面図である。

【図 9】

同じく、図 8 の I - I 線に沿う断面図である。

【図 1 0】

従来例に係る固体撮像装置の回路の構成を示す図である。

【符号の説明】

2 0 a、・・・ 2 0 n 垂直出力線

3 1 演算増幅器

1 0 0 光センサアレイ

1 0 1 単位画素

1 0 5 差信号生成回路

1 0 5 a、1 0 5 b 可変利得アンプ

1 0 6 コラム型 A D C

1 0 7 信号出力回路

C 1、C 2、C 3、C 4 容量素子

C i 入力容量

C f 帰還容量

S M 画素混合スイッチ素子

SW 1、SW 2 スイッチ素子 (第 1 のスイッチ素子)

SW 3 スイッチ素子 (第 2 のスイッチ素子)

SW 4 スイッチ素子 (第 3 のスイッチ素子)

SW 5、SW 6 スイッチ素子

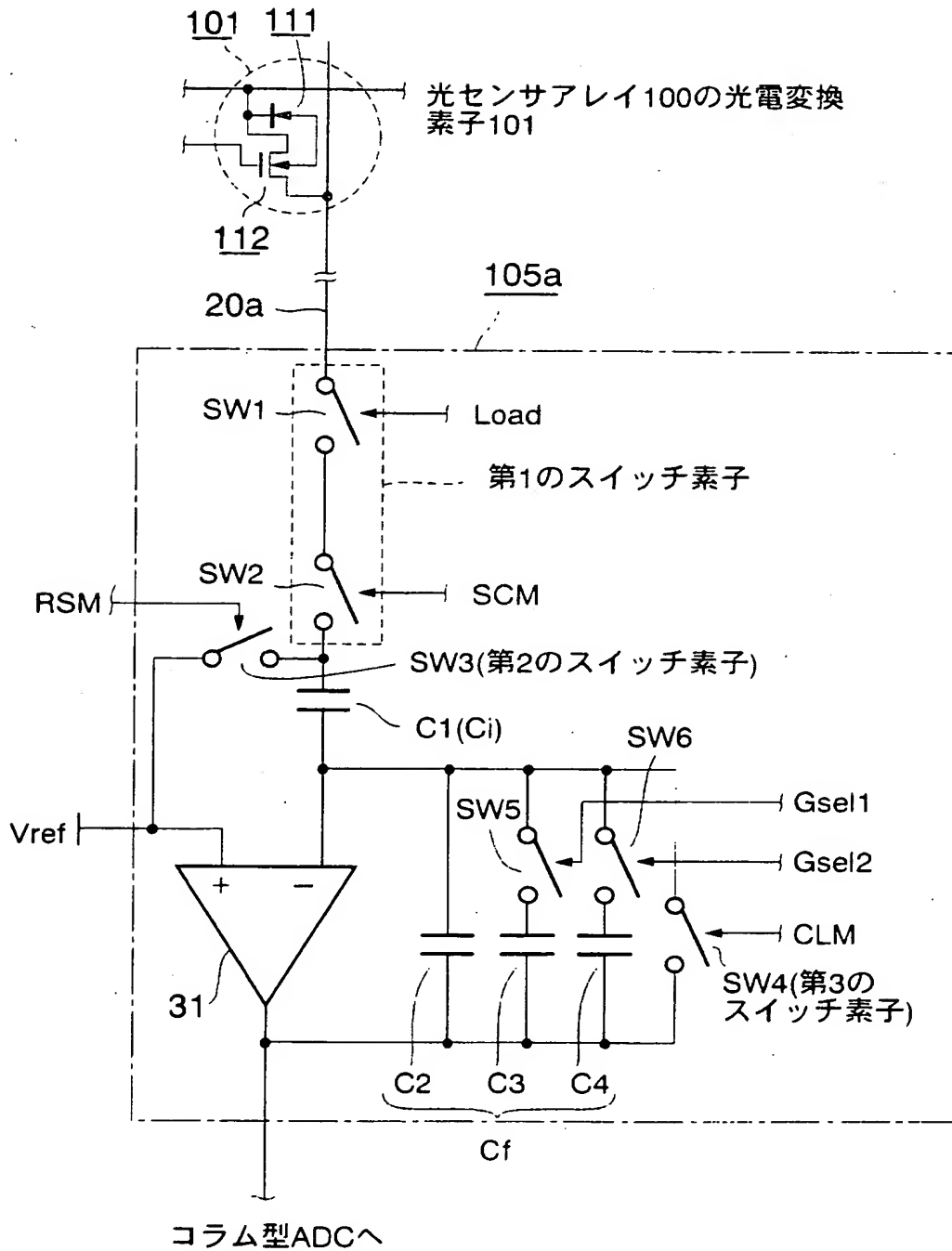
V t 信号電圧 (第 1 の信号電圧)

V n 第 2 の信号電圧 (第 2 の信号電圧)

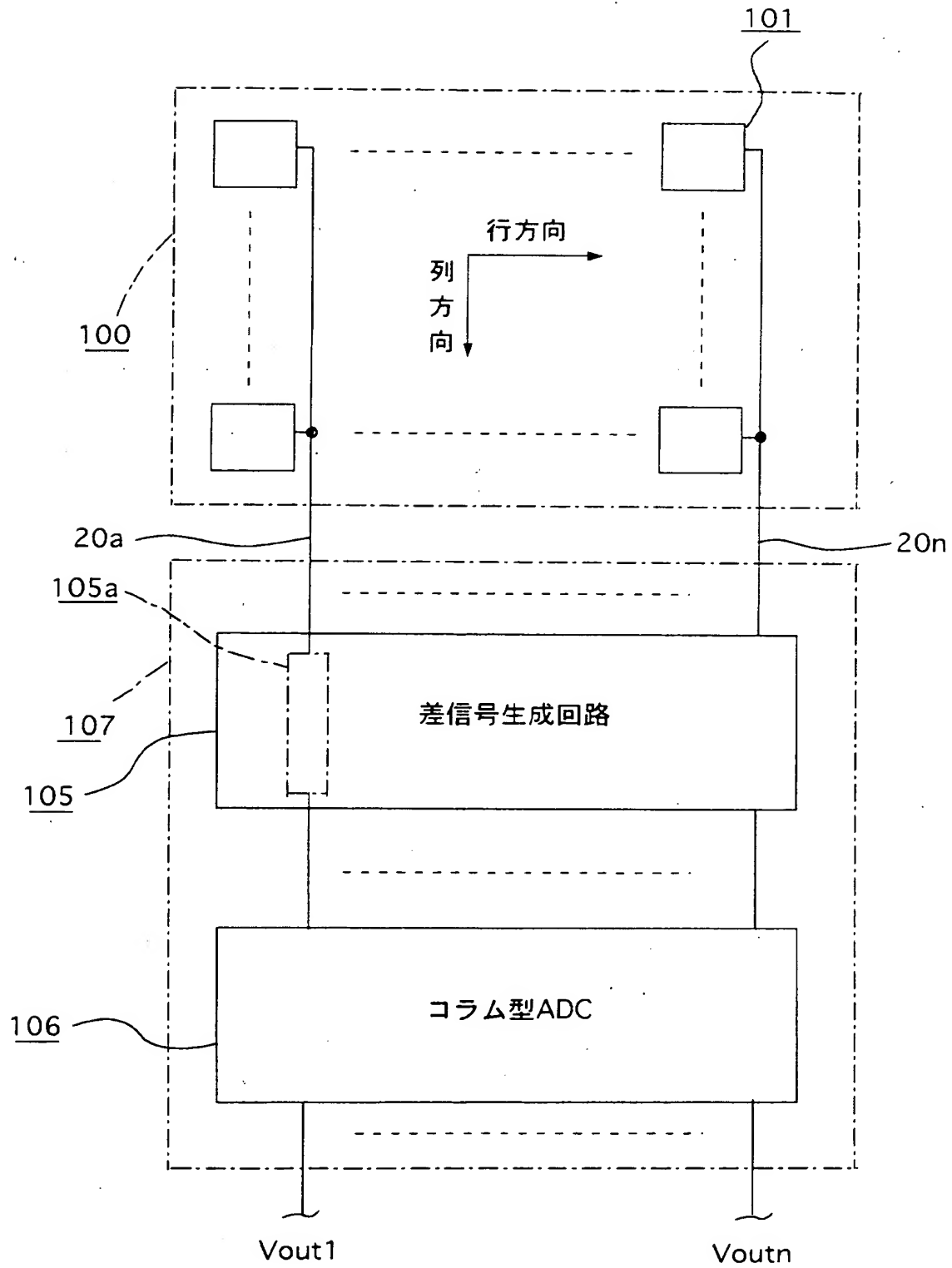
V out1、・・・ V outn デジタル化された映像信号

【書類名】 図面

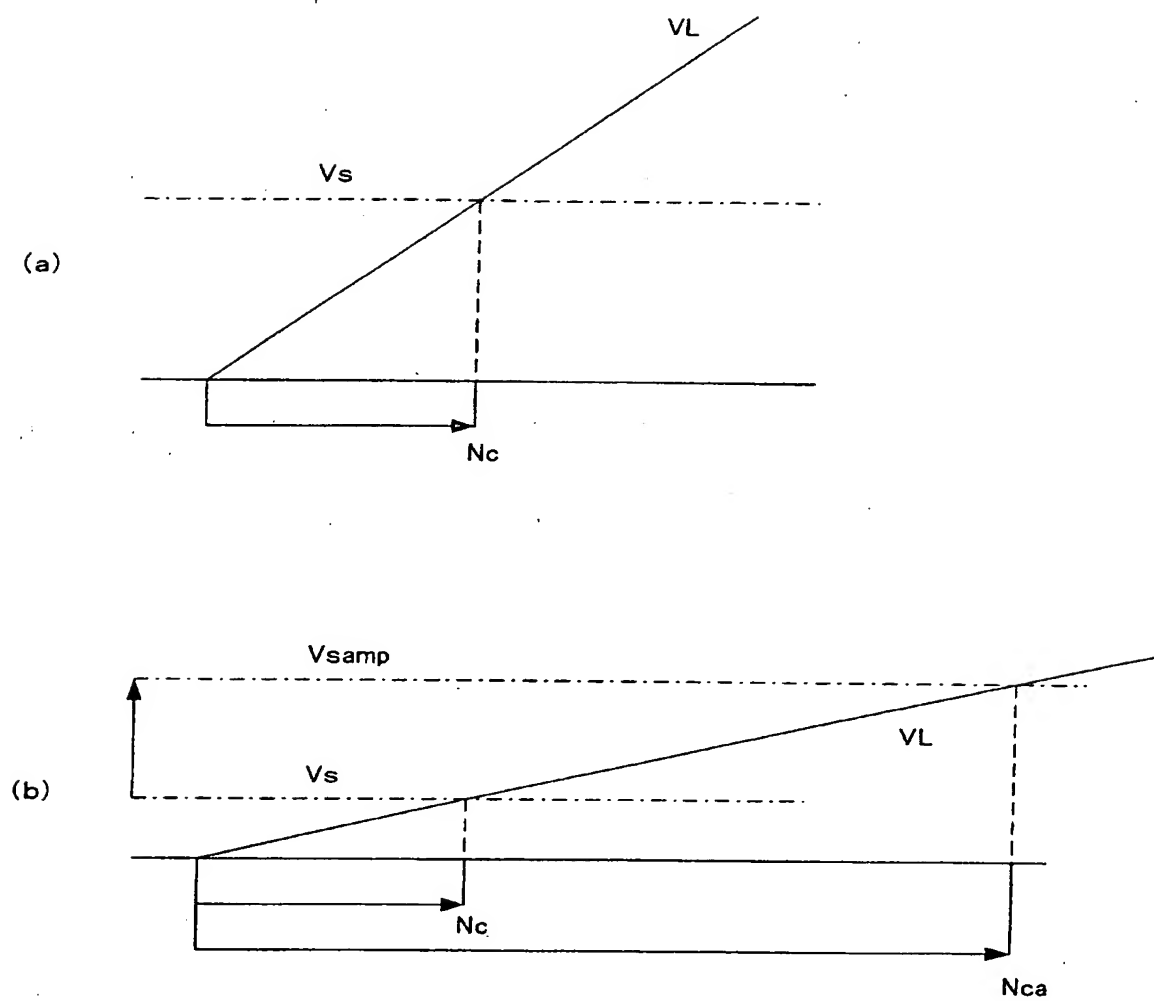
【図1】



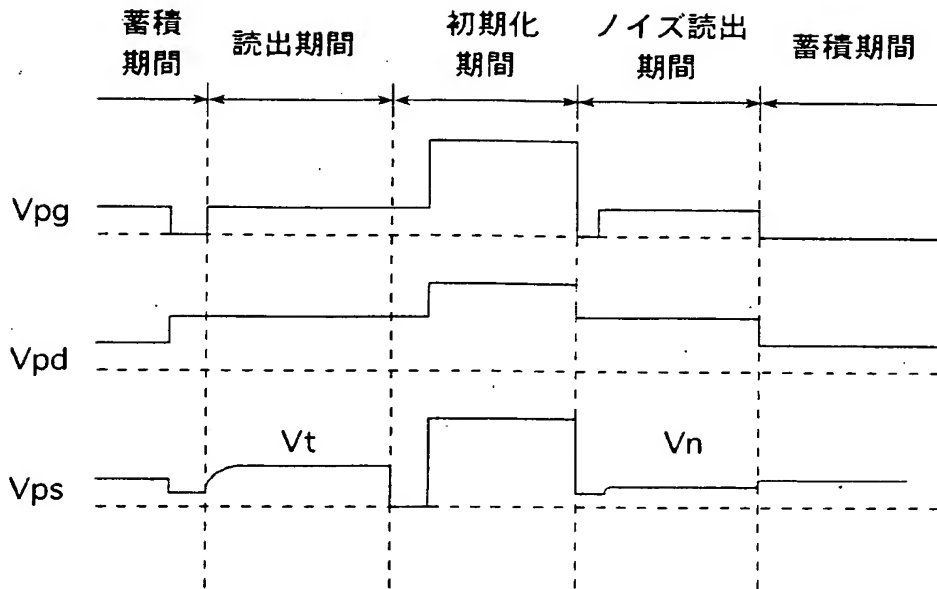
【図 2】



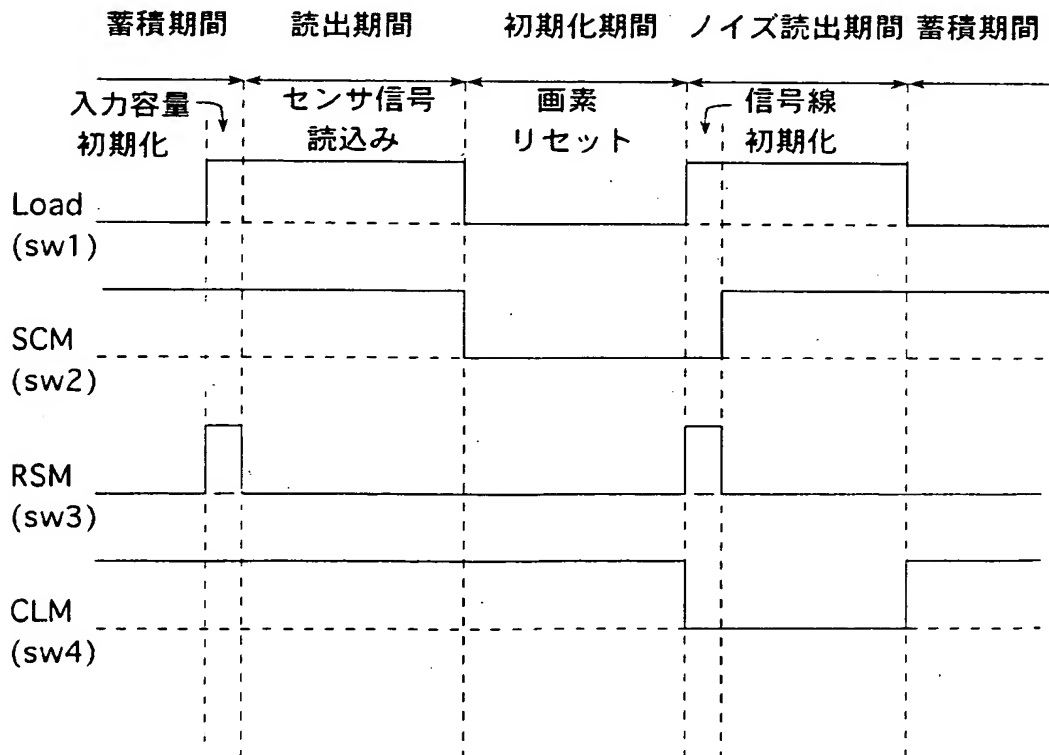
【図 3】



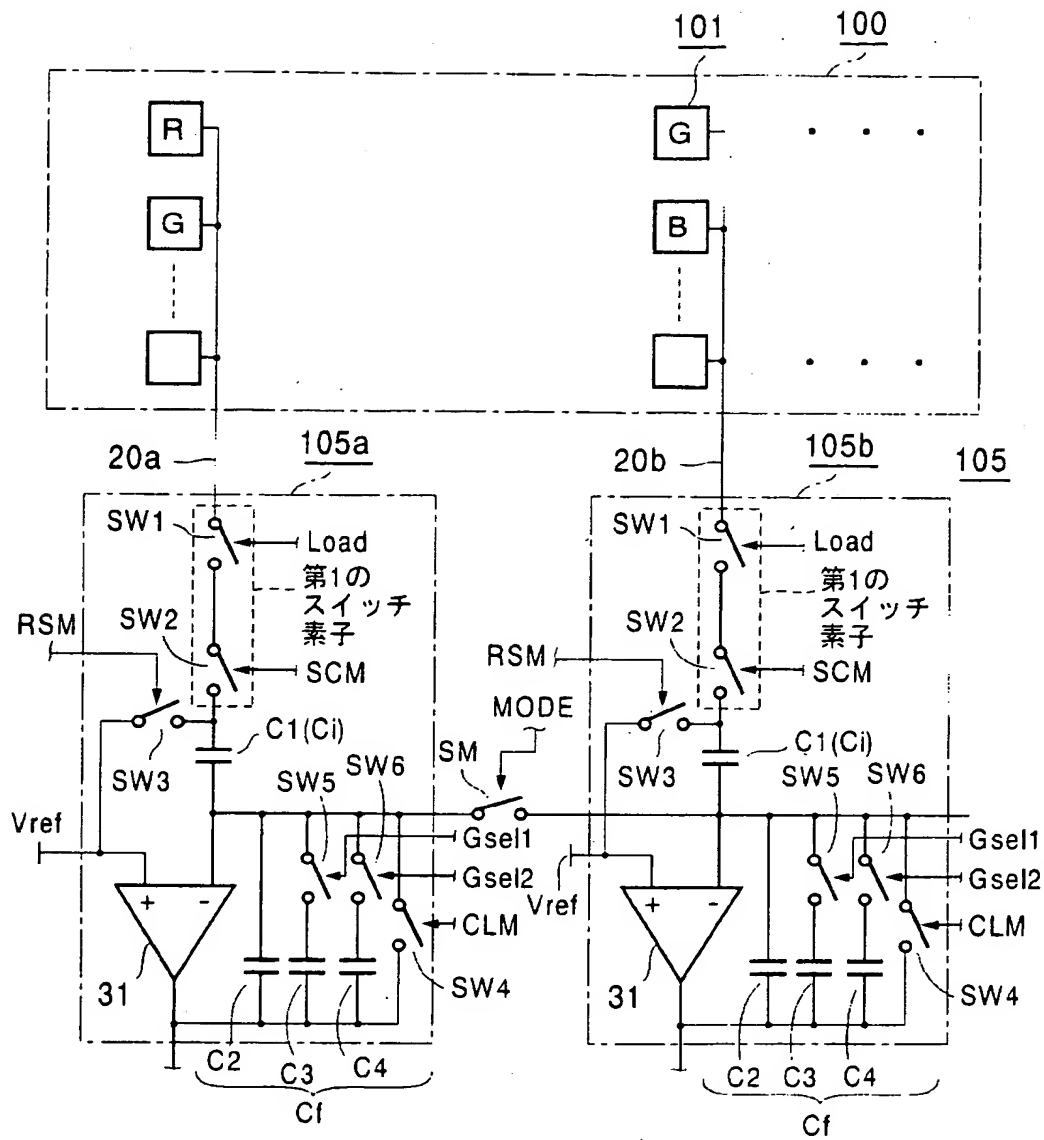
【図 4】



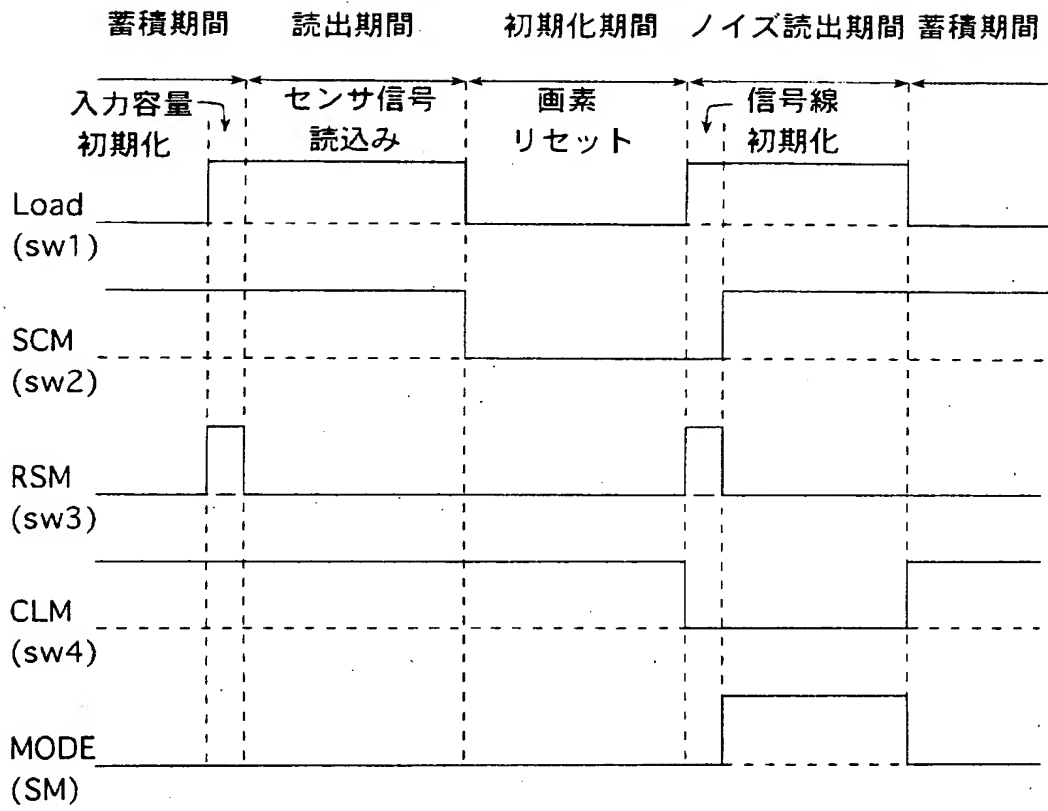
【図 5】



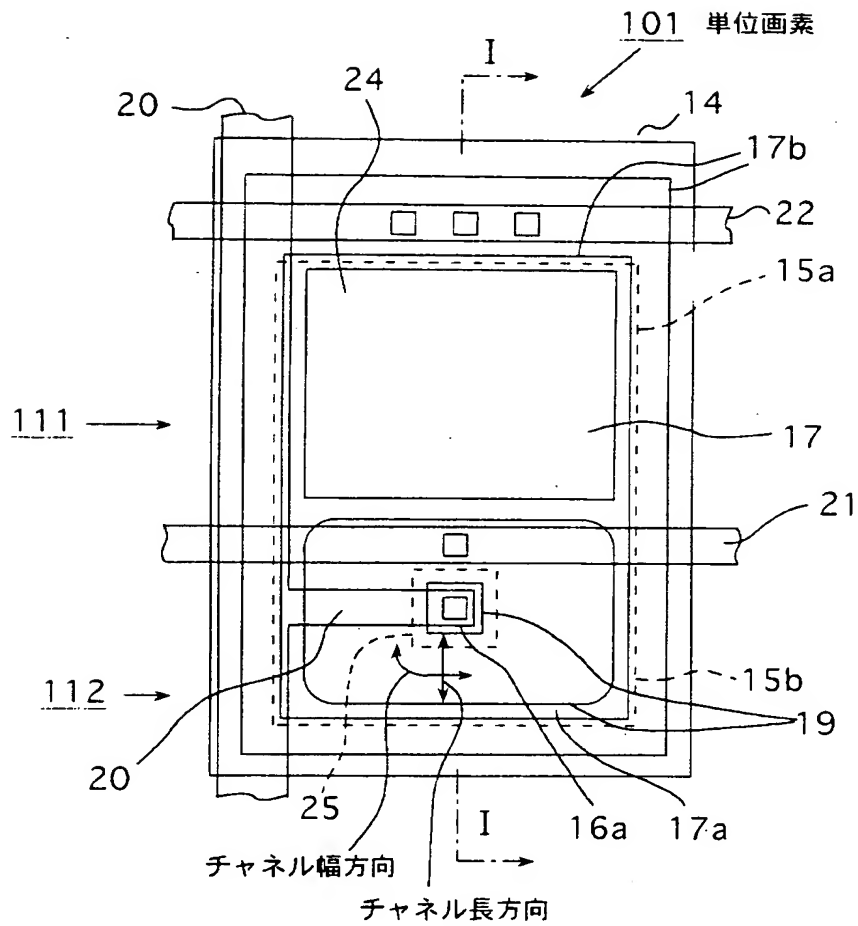
【図 6】



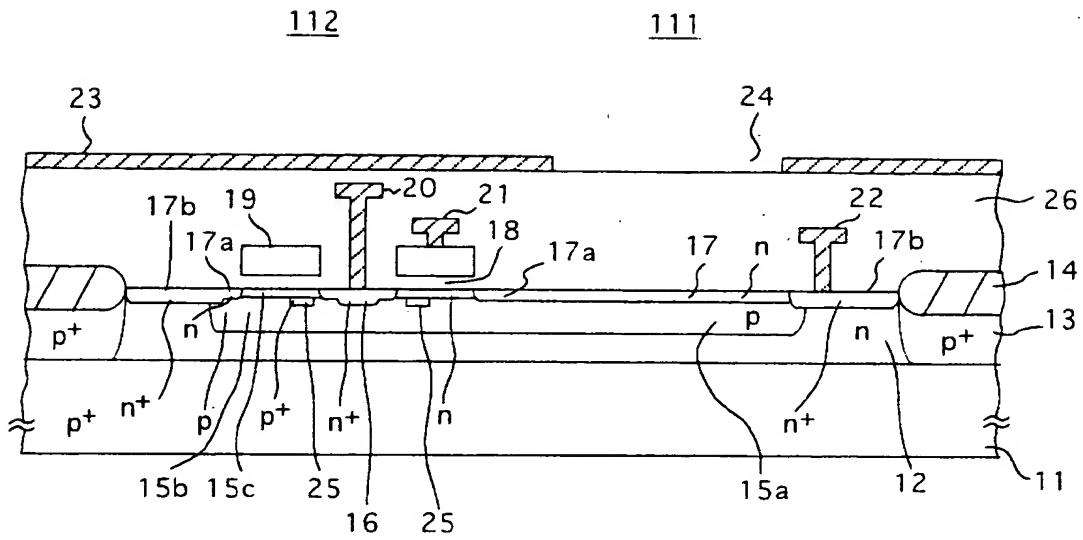
【図 7】



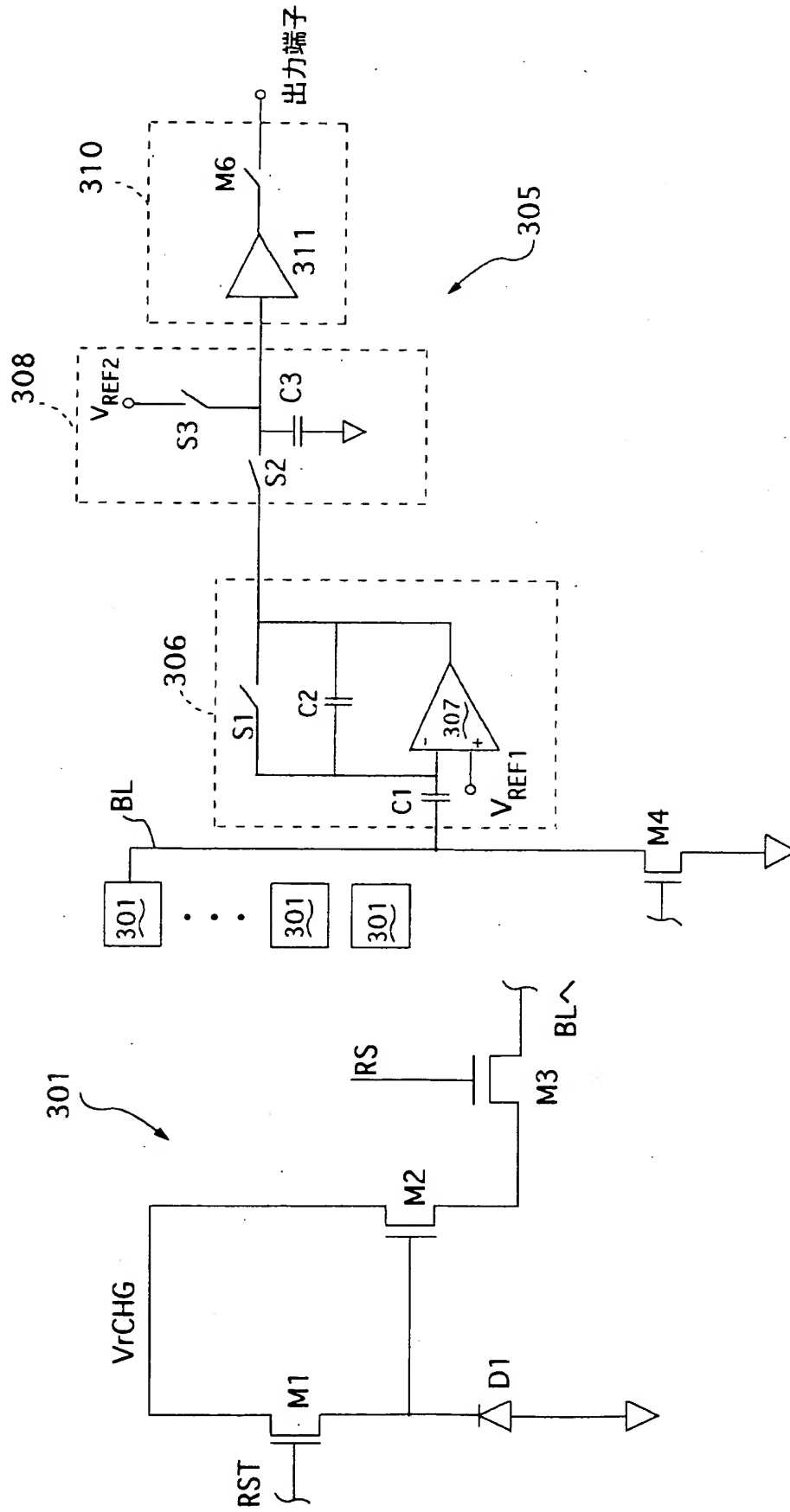
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 光電気信号をデジタル化するに際し、ダイナミックレンジの向上を図りつつ、S N比の向上を図ることができる固体撮像装置を提供する。

【解決手段】 光信号を電気信号に変換し、出力する、行と列に配列された複数の光電変換素子101と、光信号を電気信号に変換した信号電圧と、光電変換素子101を初期化した後の第2の信号電圧とを逐次入力することにより、信号電圧及び第2の信号電圧を電荷に変換して、信号電圧と第2の信号電圧との差信号を生成し、かつ該差信号の大きさに応じて利得を調整して差信号を出力する、列毎に設けられた差信号生成回路105と、差信号生成回路105の出力に接続されたアナログ／デジタル変換回路106とを有してなる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [593102345]

1. 変更年月日 1999年 1月21日
[変更理由] 住所変更
住 所 神奈川県横浜市港北区新横浜3-17-6
氏 名 イノテック株式会社